



PATENT ABSTRACTS OF JAPAN

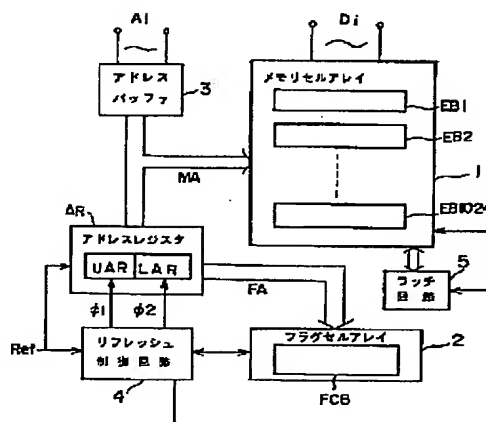
(11) Publication number: **06215584 A**(43) Date of publication of application: **05.08.94**(51) Int. Cl. **G11C 16/06**(21) Application number: **05004303**(22) Date of filing: **13.01.93**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **ATSUMI SHIGERU
BANBA HIRONORI
KURIYAMA MASAO**(54) **NONVOLATILE SEMICONDUCTOR STORAGE
AND STORAGE SYSTEM USING THAT**

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To enlarge the margin in drain disturbance resistance, to improve program efficiency and to accelerate the erasure by dispersing and holding whether refreshing is ended or not instead of a refresh counter at every refresh block.

CONSTITUTION: A storage is constituted of a memory cell array 1 with 4M bits, a flag cell array 2, an address buffer 3, a refresh control circuit 4, an 8 bits latch circuit 5 and an address register AR. The memory cell array 1 consists of 1024 pieces of en bloc erasure blocks EB, and selects one among the en bloc erasure blocks with upper 10 bits among 19 bits of address MA, and selects 8 pieces among the memory cells in the en bloc erasure block with lower bits. The array 2 has 1024 bits of nonvolatile flag cell. The latch circuit 5 reads out the data of the memory cell in the array 1 under the control of the circuit 4 to store it temporarily at a refreshing time. The address register AR stores an address used for a refreshing time temporarily.



(1)

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-215584

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl.⁶

G11C 16/06

識別記号

F I

6866-5L

G11C 17/00

309

A

6866-5L

309

C

審査請求 未請求 請求項の数 8 O L (全14頁)

(21)出願番号

特願平5-4303

(22)出願日

平成5年(1993)1月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 渥美 滋

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 番場 博則

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 栗山 正男

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

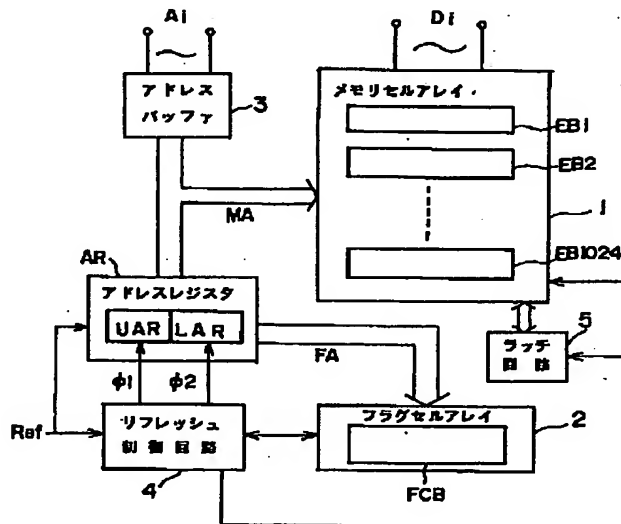
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】不揮発性半導体記憶装置およびこれを用いた記憶システム

(57)【要約】

【目的】ドレインディスタープ耐性のマージンを大きくし、プログラム効率の向上及び消去の高速化を図る。

【構成】小さな一括消去ブロックに分離され、ブロックの消去を行った後に、メモリセルのデータを読み出し、同じデータを再び書込むリフレッシュ動作を行う不揮発性半導体記憶装置において、リフレッシュカウンタの代わりにリフレッシュ済みか否かをリフレッシュブロック毎に分散して保持する。本発明を用いると、ドレインディスタープ耐性のマージンが大きくなり、プログラム効率の向上及び消去の高速化を図ることが出来る。さらに、リフレッシュカウンタを不揮発性メモリセルを用いて構成しても、書き込み・消去の集中が起こらない。



【特許請求の範囲】

①【請求項 1】 MOSトランジスタのしきい値が消去状態及び書き込み状態をとることによりデータを記憶する複数の不揮発性メモリセルが行列状に配置され、当該複数の不揮発性メモリセルは同時に消去されるN個の一括消去ブロックに区分され、さらに当該複数の不揮発性メモリセルはM個のリフレッシュブロックに区分された不揮発性メモリセルアレイと、

前記リフレッシュブロックにそれぞれ対応して設けられ、MOSトランジスタのしきい値が消去状態及び書き込み状態をとることにより1ビットのデータを記憶する、1番目からM番目まで順序づけされたM個の不揮発性のフラグセルからなるフラグセルアレイと、

前記フラグセルアレイに記憶されたデータを1番目から順に読み出し、最初に消去状態であるフラグセルに到達したら当該フラグセルが書き込み状態をとるよう書き込み動作を行うとともに当該フラグセルに対応するリフレッシュブロックの不揮発性メモリセルに対し読み出したデータと同じデータを書き込むリフレッシュ動作を行い、前記フラグセルアレイに記憶されたデータを1番目から順に読み出した結果、フラグセル最後のフラグセルに到達した場合には全てのフラグセルが消去状態をとるよう消去動作を行うリフレッシュ動作制御手段とを具備することを特徴とする不揮発性半導体記憶装置。

②【請求項 2】 MOSトランジスタのしきい値が消去状態及び書き込み状態をとることによりデータを記憶する複数の不揮発性メモリセルが行列状に配置され、当該複数の不揮発性メモリセルは同時に消去されるN個の一括消去ブロックに区分され、さらに当該複数の不揮発性メモリセルはM個のリフレッシュブロックに区分された不揮発性メモリセルアレイと、

前記リフレッシュブロックにそれぞれ対応して設けられ、MOSトランジスタのしきい値が消去状態及び書き込み状態をとることにより1ビットのデータを記憶する、1番目からM番目まで順序づけされたM個の不揮発性のフラグセルからなるフラグセルアレイと、
N個の前記一括消去ブロックのうちの一つに対し消去動作を行う際に、前記フラグセルアレイに記憶されたデータを1番目から順に読み出し、最初に消去状態であるフラグセルに到達したら当該フラグセルが書き込み状態をとるよう書き込み動作を行うとともに当該フラグセルに対応するリフレッシュブロックの不揮発性メモリセルに対し読み出したデータと同じデータを書き込むリフレッシュ動作を行い、前記フラグセルアレイに記憶されたデータを1番目から順に読み出した結果、最後のフラグセルに到達した場合には全てのフラグセルが消去状態をとるよう消去動作を行うリフレッシュ動作制御手段とを具備することを特徴とする不揮発性半導体記憶装置。

【請求項 3】 前記不揮発性メモリセルアレイのリフレッシュブロックの選択に用いるデコーダと前記フラグセ

ルアレイのフラグセルの選択に用いるデコーダとを共通にすることを特徴とする請求項 1 ないし 2 記載の不揮発性半導体記憶装置。

【請求項 4】 前記フラグセルの個数がM-1 個であることを特徴とする請求項 1 ないし 2 記載の不揮発性半導体記憶装置。

③【請求項 5】 MOSトランジスタのしきい値が消去状態及び書き込み状態をとることによりデータを記憶する複数の不揮発性メモリセルが行列状に配置され、当該複数の不揮発性メモリセルは同時に消去されるN個の一括消去ブロックに区分され、さらに当該複数の不揮発性メモリセルはM個のリフレッシュブロックに区分された不揮発性メモリセルアレイと、

前記リフレッシュブロックにそれぞれ対応して設けられ、MOSトランジスタのしきい値が消去状態及び書き込み状態をとることにより1ビットのデータを記憶する、1番目からM番目まで順序づけされたM個の不揮発性のフラグセルからなるフラグセルアレイと、
前記フラグセルアレイに記憶されたデータを1番目から順に読み出し、最初に消去状態であるフラグセルに到達したら当該フラグセルが書き込み状態をとるよう書き込み動作を行うとともに当該フラグセルに対応するリフレッシュブロックの不揮発性メモリセルに対し読み出したデータと同じデータを書き込むリフレッシュ動作を行い、前記フラグセルアレイに記憶されたデータを1番目から順に読み出した結果、フラグセル最後のフラグセルに到達した場合には全てのフラグセルが消去状態をとるよう消去動作を行うリフレッシュ動作制御手段とを具備することを特徴とする記憶システム。

④【請求項 6】 MOSトランジスタのしきい値が消去状態及び書き込み状態をとることによりデータを記憶する複数の不揮発性メモリセルが行列状に配置され、当該複数の不揮発性メモリセルは同時に消去されるN個の一括消去ブロックに区分され、さらに当該複数の不揮発性メモリセルはM個のリフレッシュブロックに区分された不揮発性メモリセルアレイと、

前記リフレッシュブロックにそれぞれ対応して設けられ、MOSトランジスタのしきい値が消去状態及び書き込み状態をとることにより1ビットのデータを記憶する、1番目からM番目まで順序づけされたM個の不揮発性のフラグセルからなるフラグセルアレイと、
N個の前記一括消去ブロックのうちの一つに対し消去動作を行う際に、前記フラグセルアレイに記憶されたデータを1番目から順に読み出し、最初に消去状態であるフラグセルに到達したら当該フラグセルが書き込み状態をとるよう書き込み動作を行うとともに当該フラグセルに対応するリフレッシュブロックの不揮発性メモリセルに対し読み出したデータと同じデータを書き込むリフレッシュ動作を行い、前記フラグセルアレイに記憶されたデータを1番目から順に読み出した結果、最後のフラグセ

ルに到達した場合には全てのフラグセルが消去状態をとるよう消去動作を行うリフレッシュ動作制御手段とを具備することを特徴とする記憶システム。

【請求項 7】 前記不揮発性メモリセルアレイのリフレッシュブロックの選択に用いるデコーダと前記フラグセルアレイのフラグセルの選択に用いるデコーダとを共通にすることを特徴とする請求項 5 ないし 6 記載の記憶システム。

【請求項 8】 前記フラグセルの個数が $M - 1$ 個であることを特徴とする請求項 5 ないし 6 記載の記憶システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は不揮発性半導体記憶装置に関する。特にメモリセルが浮遊ゲートを有する MOS トランジスタからなり、小さな一括消去ブロックにメモリセルアレイが区分された不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 従来の不揮発性半導体記憶装置に、小さな一括消去ブロックにメモリセルアレイが区分されたものがある。このようにすると、小さなビット列からなるデータを頻繁に書き換えるような用途に適するメモリシステムを構成することが出来る。例えば、ワード線数本単位で一括消去ブロックを構成する例が発表されている (Symposium on VLSI Technology, pp77-78, 1991)。

【0003】 しかし、浮遊ゲート及び制御ゲートを積層構成したスタック型メモリセルからなる不揮発性半導体記憶装置において、ワード線 1 本もしくは数本で一括消去ブロックを構成した場合に問題となるのはドレインディスタープである。ここでいうドレインディスタープとは、書き込み及び消去を頻繁に行う一括消去ブロックとデータの更新をほとんど行わない一括消去ブロックとが同じビット線を介して並存する場合、後者のブロック内のメモリセルの書き込みデータが徐々に失われてゆく現象である。ホットキャリアを用いて書き込みを行う際には、書き込みセルのドレインと制御ゲートに高電圧を印加し、浮遊ゲートに電子を注入する。この際に、書き込みセルとビット線を介して接続された非選択セルのドレインにも電圧が印加されてしまい、トンネル電流により浮遊ゲートの電子が徐々に消失してしまう。

【0004】

【発明が解決しようとする課題】 上記したように、従来の不揮発性半導体記憶装置においてワード線 1 本もしくは数本で一括消去ブロックを構成した場合には、ドレインディスタープにより非選択メモリセルのデータが徐々に消失してしまうという問題があった。

【0005】 本発明は、上記欠点を除去し、メモリセルアレイを小さな一括消去ブロックに区分した場合に発生するドレインディスタープを保障する不揮発性半導体記

憶装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記目的を達成するために、本発明では、MOS トランジスタのしきい値が消去状態及び書き込み状態をとることによりデータを記憶する複数の不揮発性メモリセルが行列状に配置され、当該複数の不揮発性メモリセルは同時に消去される N 個の一括消去ブロックに区分され、さらに当該複数の不揮発性メモリセルは M 個のリフレッシュブロックに区分された不揮発性メモリセルアレイと、前記リフレッシュブロックにそれぞれ対応して設けられ、MOS トランジスタのしきい値が消去状態及び書き込み状態をとることにより 1 ビットのデータを記憶する、1 番目から M 番目まで順序づけされた M 個の不揮発性のフラグセルからなるフラグセルアレイと、前記フラグセルアレイに記憶されたデータを 1 番目から順に読み出し、最初に消去状態であるフラグセルに到達したら当該フラグセルが書き込み状態をとるよう書き込み動作を行うとともに当該フラグセルに対応するリフレッシュブロックの不揮発性メモリセルに対し読み出したデータと同じデータを書き込むリフレッシュ動作を行い、前記フラグセルアレイに記憶されたデータを 1 番目から順に読み出した結果、 M 個のフラグセルが全て書き込み状態である場合には全てのフラグセルが消去状態をとるよう消去動作を行うリフレッシュ動作制御手段とを具備することを特徴とする不揮発性半導体記憶装置を提供する。

【0007】

【作用】 本発明で提供する手段を用いると、リフレッシュブロックの不揮発性メモリセルに対し読み出したデータと同じデータを書き込むリフレッシュ動作を行うため、ドレインディスタープによって漸次的に消失してゆくデータを回復できる。このとき、リフレッシュを行うリフレッシュブロックの特定にフラグセルを用いる。順序づけされたフラグセルを 1 番目から順に走査し、最初に消去状態にあるフラグセルに到達したら、対応するリフレッシュブロックの不揮発性メモリセルをリフレッシュする。また、全てのフラグセルが書き込み状態である場合は全フラグセルを消去し初期状態に戻す。このように、フラグセルを不揮発性記憶としたことにより電源を切っても次にリフレッシュを行う番地を記憶しておくことが出来、さらに、各リフレッシュブロックに対応させて設けることによりフラグセルアレイに対する書き込み／消去の集中も起こらなくなる。

【0008】

【実施例】 まず始めに、不揮発性半導体記憶装置に対するリフレッシュ動作について説明する。

【0009】 図 1 は、リフレッシュ動作を同時に行った不揮発性半導体記憶装置の消去のフローチャートを示している。

【0010】 ここでは、図 2 に示すような 2048 (2

K) 行、2048 (2K) 列の不揮発性メモリセルからなる4Mビットの容量を有するメモリセルアレイを有し、ワード線2本で1つの一括消去ブロックが構成される不揮発性半導体記憶装置を仮定している。この不揮発性半導体記憶装置は1024個の一括消去ブロックからなっている。19ビットのアドレスMAのうち、上位10ビットにより一括消去ブロックEBのうちの1つが選択され、下位9ビットにより一括消去ブロックEB内の8個のメモリセルが特定される。これら各ブロック内のメモリセルには独立してデータを書込むことができ、消去は常に同時に行われる。またアクセス及びその出力は8ビット毎にDout 端子を介して行われる。

【0011】図3にこの不揮発性半導体記憶装置に用いる不揮発性メモリセルであるスタック型メモリセルの構成を示す。すなわち、P型半導体基板110、表面に形成されたN型拡散領域からなるソース領域111及びドレイン領域112、基板上にゲート酸化膜113を挟んで形成されたポリシリコンからなる浮遊ゲート114、ゲート酸化膜115を挟んで形成されたポリシリコンからなる制御ゲート116からなる。

【0012】このメモリセルへの書込み、消去及び読み出しは図4に示すような電圧を制御ゲート、ドレイン、ソースに印加することにより行う。すなわち、書込み時は制御ゲートに10V、ドレインに5V、ソースに0Vの電圧を印加する。このようにすると、ドレイン・ソース間にかかる電界で加速された電子の一部が制御ゲートに印加された電圧に引かれ、浮遊ゲートに注入される。この浮遊ゲートに注入された電子は容易には放出されず、このMOSトランジスタのしきい値の変化として固定される。消去状態すなわち書込み前のしきい値は2V程度を中心に分布しているが(この状態を一般に“1”もしくは消去状態と呼ぶ)、上述のような書込みがなされると、しきい値は6V程度(この状態を一般に“0”もしくは書き込み状態と呼ぶ)に上昇する。

【0013】このメモリセルの消去は、制御ゲートに-10V、ソースに5Vを印加、ドレインを開放して行う。このようにすると、浮遊ゲートに蓄積されていた電子がソース側から引抜かれる。消去がなされると、しきい値は6V程度から2V程度に下降する。

【0014】このメモリセルの読み出しは、制御ゲートに5V、ドレインに1V、ソースに0Vを印加することにより行う。このようにすると、“1”セルには電流が流れるが、“0”セルには電流が流れない。読み出しデータの検出は図示しないが、ダミーセルに流れる電流と比較することにより行う。

【0015】この不揮発性半導体記憶装置のブロックの詳細を図5に示す。すなわち、ワード線123とビット線124が交差するようにそれぞれ2048本、2048本平行に配設されている。それぞれの交点に上述したスタック型のメモリセル121が行列状に並べられて

いる。このメモリセル121はドレインがビット線124に、制御ゲートがワード線123に接続されている。ワード線123の選択はロウデコーダ103によって行う。またビット線124の選択は図示しないがカラムデコーダによって選択される。この不揮発性半導体記憶装置は8ビット並列出力(×8型)なので、カラムデコーダは2048本のビット線124から8本を選択し、読み出し用のセンスアンプに接続する。

【0016】さらに、この不揮発性半導体記憶装置は上述したように、ワード線2本毎に一括消去ブロックを構成している。このブロックに含まれる全メモリセルのソースはまとめて共通ソース線125に接続されている。この共通ソース線125の選択は、ブロックデコーダ128によって行う。

【0017】続いて、図1を用いて消去動作を説明する。この消去動作はインテリジェント消去と呼ばれ、ベリファイ及び消去を小刻みに行い、過剰消去を防止している。また、本発明で新規に提供するリフレッシュ動作を具備している。本実施例では消去終了後にこのリフレッシュ動作を具備している。初めに、消去ブロック内の全メモリセルに“0”を書込む。これは、“1”セルのみに“0”を書込んでも良いし、さらに簡単に、全メモリセルについてすでに書込まれているデータに関わらず“0”を書込んでも良い。後者は、書込みを深く行ってもメモリセルのしきい値の上昇が飽和する場合に有効である。続いて、ブロック内アドレスAdを0にセットする。続いて、10msの間消去を行い、続いてベリファイを行う。ベリファイで再び読み出したデータが全て“1”に消去されていることを確認し、消去されてなければ再び消去する。消去が正常に行われていれば内部アドレスをインクリメントして、再びベリファイ動作を続ける。全てのブロック内アドレスのベリファイが終了したら続いて、リフレッシュ動作を行う。

【0018】リフレッシュ動作は、メモリセルのデータを読み出し、同じデータを再び書込む動作である。DRAMのリフレッシュとは異なり、読み出しは非破壊的であり、定期的に行う必要もない。リフレッシュ動作は所定のアドレスを入力し、このアドレスのメモリセルのデータを読み出し、同じデータを再び書込む。この制御はチップ内部で自動に行っても良いし、チップ外部の例えばメモリスistemコントローラによって行っても良い。また、計算機と接続して用いる場合にはその計算機のオペレーティングシステムから制御しても良い。

【0019】リフレッシュ動作は消去毎に異なる一括消去ブロックを選択するように、アドレスを入力する。本実施例の例の不揮発性半導体記憶装置は2行で一括消去ブロックEBが構成され、一つの一括消去ブロックEBにはメモリセルは4048個あり、これらは8ビット毎に選択されるため、512回の読み出し及び書き込みを続けて行えば良い。例えば、アドレスを0000Hから

01FFHまで変化させ、そのデータをチップ外部に読み出し、このデータを保存する。続いて、同じデータをもとのメモリセル(0000Hから01FFH番地)に再書き込みする。このようにして一括消去ブロックEB1のリフレッシュが行われる。このとき、書き込みに先立って消去を行う必要はない。書き込みの深さを深めるのが目的であるからである。このように消去動作に引続きある一括消去ブロックのリフレッシュを行うことによりその一括消去ブロックに属するメモリセルのドレインディスタープによるデータの漸次的な破壊をくい止めることが出来る。もちろん、リフレッシュ動作は一つの一括消去ブロックのみに行うのではなく、全ての一括消去ブロックについてまんべんなく行う必要がある。このため、次に消去動作を行うときは2個目の一括消去ブロックEB2についてリフレッシュ動作を行う。例えば、アドレスを0200Hから03FFHまで変化させて読み出し及び同じデータの書き込みを行う。このため、どの一括消去ブロックまでリフレッシュを行ったかをメモリシステムコントローラやオペレーティングシステム等が記憶しておく必要がある。また、全ての一括消去ブロックのリフレッシュが終了したら、再び最初の一括消去ブロックからリフレッシュを行う。

【0020】もちろん、512回続けて読み出し、512回続けて書き込みを行わず、読み出し及び書き込みを512回繰り返しても良い。むしろこのようにすると、チップ外部に保存するデータは4096ビットから8ビットに大きく減少する。このことは、リフレッシュ制御を外部のメモリコントローラにより行う場合にはメモリコントローラのラッチ数を低下させ、オペレーティングシステムとマイクロプロセッサによってリフレッシュ制御する場合はマイクロプロセッサの汎用レジスタをデータ退避に用いることが出来るため高速にリフレッシュ動作が行える。

【0021】以上のように一括消去ブロック単位でリフレッシュを行うことにより、ドレインディスタープにより漸次的に失っていくデータを回復できる。しかし、このリフレッシュは時間のかかる消去を伴わず、また、時間のかかる消去とともに行うので実質的な消去時間の伸びはごくわずかである。例えば、一回の書き込み時間を10 μ sとすると、リフレッシュ動作はこれを512回行うため、約5.1msかかる。しかし、従来の消去時間は約100msかかっていた。従って、実質的な消去時間の伸びは僅かに5.1パーセントである。

【0022】しかし、ドレインストレスの改善はこれに比べて非常に大きい。以下、従来のようにリフレッシュを行わない時のドレインストレスの総時間を計算する。自分以外のワード線が選択され、これに“0”書き込みがなされたときにドレインストレスがかかる。この合計時間は、

$$(2048-2) \times 10 \mu s$$

である。これが、105回繰返されるとき(他のブロックのデータばかり書換を行った場合)が最悪の場合であるから、

$$(2048-2) \times 10 \mu s \times 10^5 \text{ 回} \sim 2000 \text{ sec}$$

となる。ところが、リフレッシュを用いると、1ブロック消去毎に1ブロックのメモリセルをリフレッシュする。従って、本発明のドレインストレスは最悪の場合でも、

$$10 \quad (2048-2) \times 10 \mu s \sim 20 \text{ ms}$$

である。リフレッシュ動作を行うことにより、飛躍的に改善されていることがわかる。[図6]は特定のワード線(2048-2)本を選択して書換えた場合の書換回数に対する非選択ワード線のドレインディスタープ起因の“0”セルの最低しきい値電圧の変化を示している。従来技術では約 2×10^5 回の書換でしきい電圧が5Vを割込み、データの反転が起っているが、一方本発明によると、リフレッシュによってしきい電圧は上昇しているがデータの変質は起きない。

20 【0023】これによって、ドレインディスタープ耐性が律速していた、プログラム効率及び消去速度の向上が可能になった。従来は、ドレインストレスによりデータが容易に反転しない為の対策として、セルのドレイン濃度を低濃度化することで可能だが、逆にこれはプログラム効率を劣化させていた。また、プログラム効率を向上するため、ドレイン近傍のチャネル不純物量を増すと逆に消去速度が低下する。このように、従来ではプログラム効率及び消去速度を同時に向上することが出来なかったが、本発明によりドレインディスタープ耐性のマージンが大きくなったためプログラム効率及び消去速度がともに向上できる。

30 【0024】以上、リフレッシュ動作の概要を説明した。上述したようなリフレッシュ動作を不揮発性半導体記憶装置において行う際には、次にリフレッシュを行う一括消去ブロックのブロックアドレスを保存しておく必要がある。上述の例ではSRAM等に保存する場合を想定したが、不揮発性半導体記憶装置の「電源を遮断してもデータが消失しない」という特徴を発揮できない。電源を遮断してもデータを消失させないためには、リフレッシュを行うブロックのアドレスを不揮発性メモリセルなどで記憶させておく必要がある。しかし、2進バイナリカウンタを不揮発性メモリセルで構成すると、リフレッシュの度毎にバイナリカウンタを更新する必要がある。バイナリカウンタに用いた不揮発性メモリセルに書き込み/消去が集中してしまう。任意の一括消去ブロックに消去動作を行う際に必ずリフレッシュを行うとすると、バイナリカウンタに用いた不揮発性メモリセルには一括消去ブロックの個数倍のストレスがかかる。以下に説明するように、本発明はフラグセルを不揮発性記憶としたことにより電源を切っても次にリフレッシュを行う

番地を記憶しておくことが出来、さらに、各リフレッシュブロックに対応させてフラグセルを設けることによりフラグセルアレイに対する書き込み/消去の集中も起こらなくなる。

【0025】図7は本発明の第1の実施例の不揮発性半導体記憶装置にかかわる回路構成図である。すなわち、4Mビットのメモリセルアレイ1と、フラグセルアレイ2と、アドレスバッファ3と、リフレッシュ制御回路4と、8ビットラッチ回路5とアドレスレジスタARとからなる。メモリセルアレイ1は1024個の一括消去ブロックEBからなり、19ビットのアドレスMAのうち上位10ビットで一括消去ブロックのうちの 하나가選択され、下位9ビットで一括消去ブロック内のメモリセルのうち8個が選択される。また、1024個のリフレッシュブロックに区分されており、この実施例ではリフレッシュブロックと一括消去ブロックは一致している。すなわち、19ビットのアドレスMAのうち上位10ビットで一括消去ブロックのうちの 하나가選択される。フラグセルアレイ2は内部に1024ビットの不揮発性フラグセルを有し各々のフラグセルは順序づけされており、一括消去ブロックに対応する。アドレスバッファ3は外部から入力された19ビットのアドレスをラッチし、内部アドレスとしてアドレスMAを生成する。リフレッシュ制御回路4は後述するような動作を行う。ラッチ回路5はリフレッシュ時に、リフレッシュ制御回路4の制御の下でメモリセルアレイ1内のメモリセルのデータを読み出し、一時的に格納する。アドレスレジスタARはリフレッシュ動作を行う際に用いるアドレスを一時的に格納するレジスタである。

【0026】図8の(a)にメモリセルアレイ1の詳細、(b)にフラグセルアレイ2の詳細、(c)にアドレスレジスタARの詳細を示す。

【0027】メモリセルアレイは上述したように1024個の一括消去ブロックもしくは1024個のリフレッシュブロックから成るが、各々の一括消去ブロックはワード線WL2本からなる。1ワード線には2048個の図3に示したような不揮発性メモリセル11が接続され、それぞれはワード線WLに直交するビット線BLに接続されている。ワード線WLは合計2048本あるが、これは図示しないデコーダがアドレスMAをデコードすることにより選択する。

【0028】フラグセルアレイは簡単のため、一本の出力線OLに1024個の不揮発性のフラグセルFCが接続された構造を示してある。なお、現実的なフラグセルアレイの構成は後述する。10ビットのフラグアドレスFAをデコーダ22がデコードし、フラグセルFCのうちの 하나を選択する。各々のフラグセルFCはリフレッシュブロックRBに対応している。

【0029】アドレスレジスタARは10ビットの上位アドレスレジスタUARと9ビットの下位アドレスレジ

スタLARとからなる。両者を結合して19ビットのアドレスレジスタとなり、アドレスMAを生成するが、上位アドレスレジスタUARはフラグアドレスFAを生成する。信号φ1により上位アドレスレジスタUARは1インクリメントされ、信号φ2により下位アドレスレジスタLARは1インクリメントされる。

【0030】ここで、フラグセルに保持されたデータの状態について説明する。例えば、5番目のリフレッシュブロックまでリフレッシュが終了しており、次に行うリフレッシュでは6番目のリフレッシュブロックについて行う場合には、FC1からFC5は書き込み状態すなわち“0”が保持されており、FC6からFC1024には消去状態“1”が保持されている。後述するように、リフレッシュ制御回路4は順次フラグセルを操作し、次にリフレッシュを行うリフレッシュブロックを特定する。すなわち、FC1から順に読み出しを行い、最初に“1”セルを読み出したとき、そのフラグセルに対応するリフレッシュブロックのリフレッシュを行う。リフレッシュが終了したら、対応するフラグセルに書き込みを行い、“0”セルとする。また、最後のセルに到達した場合には全フラグセルの消去を行う。以下、これを詳細に説明する。

【0031】図9にリフレッシュ制御回路4の動作のフローチャートを説明する。

【0032】外部からリフレッシュ信号Refが入力されるとリフレッシュ制御回路4はリフレッシュ動作の制御を開始する(201)。始めに、アドレスレジスタAR内のUAR及びLARを0番地にリセットする(202)。続いて、フラグアドレスFAすなわちUARの示すフラグセルのデータを読み出す(203)。ここで、読み出したデータが“1”か否かを判定し(204)、“1”でなければφ1を出力してUARを1インクリメントし(205)、フラグセルの読み出しに戻る。フラグセルデータが“1”であれば引き続いてリフレッシュ動作を行う(206)。これは、上述したように、リフレッシュブロックの不揮発性メモリセルに対し読み出したデータと同じデータを書き込む。9ビットのLARを順次インクリメント(φ2を出力することにより)して8ビットずつ8ビットラッチ回路5を介してリフレッシュを行う。LARは000Hから1FFHまで増加させる。続いて、UARがFC1024を示しているか否か、すなわち最後のリフレッシュブロックRB1024を示しているか否かを検出する(207)。この結果、FC1024でないときは当該フラグセルに書き込みを行い、“0”セルとする(208)。FC1024である場合は、全フラグセルの消去を行う(209)。以上の動作を経てリフレッシュ動作が終了する(210)。

【0033】以上、リフレッシュ制御回路4をフローチャートを用いて説明したが、このフローチャートの実現はシーケンサで容易に行える。

【0034】このように、リフレッシュ制御回路4は、フラグセルアレイに記憶されたデータを1番目から順に読み出し、最初に消去状態であるフラグセルに到達したら当該フラグセルが書き込み状態をとるよう書き込み動作を行うとともに当該フラグセルに対応するリフレッシュブロックの不揮発性メモリセルに対し読み出したデータと同じデータを書き込むリフレッシュ動作を行い、フラグセルアレイに記憶されたデータを1番目から順に読み出した結果、フラグセル最後のフラグセルに到達した場合には全てのフラグセルが消去状態をとるよう消去動作を行う。この結果、1024回のリフレッシュに対してフラグセルの消去は一回で済む。従って、フラグセルの消去回数は平均的な消去ブロックの消去回数とほぼ一致し、リフレッシュカウンタを不揮発性メモリで構成したときの問題点である、書き込み/消去の集中が起らなくなる。これは、バイナリカウンタをビット毎に分散させた結果である。

【0035】第1の実施例はあたかも1チップ上に図7の回路を全て登載した例を示しているかの様にみえるが、これに限る必要はない。これは複数チップにわけて構成しても良いし、1、2を同一のメモリチップで、すなわちフラグセルアレイ2は一括消去ブロックEBの一つ(例えばEB1025)として構成しても良い。

【0036】続いて、第1の実施例の変形例を述べる。図8の(b)で、フラグセルFCを1列に並べた例を示したが、これでは10ビット→1024ビットのデコーダが必要になり現実的ではない。図10はこの問題を解決したものであり、フラグセルアレイのビット選択の構成を示している。すなわち、浮遊ゲートを有するMOSトランジスタ21を32×32のマトリクス状に並べ、各々のMOSトランジスタ21の制御ゲートを接続したフラグセルアレイと、5ビット→32ビットデコーダ22、23と、読み出し回路24と書き込み回路25とからなる。デコーダ22の出力はカラムゲート27を制御しマトリクスの列を選択し、デコーダ23の出力はMOSトランジスタ21のソース電位を制御し、マトリクスの行を選択する。フラグセルFCは各々のMOSトランジスタ21に対応する。

【0037】フラグセルの読み出し時には、MOSトランジスタ21の読み出し時及び書き込み時には全ての制御ゲートに“H”レベルを印加し、選択されたセルのソースを接地、ドレインをカラムゲート27を介して読み出し回路24もしくは書き込み回路25に接続する。消去は全セルを一括して消去する。

【0038】続いて、第1の実施例の別の変形例を述べる。図11は浮遊ゲートを有するMOSトランジスタ21を32×32のマトリクス状に並べ、通常のメモリと同様の構成を取ったものである。図10に対応する要素には同様の符号を付し、その説明は省略する。

【0039】続いて、図12にフラグセルの選択に用い

るデコーダと不揮発性メモリセル(メモリセルアレイ1内のセル)の選択に用いるデコーダとを共通にした例を説明する。フラグセルアレイの構成は単一の出力線を介して各フラグセルが接続されており、図8(b)の構成と同じである。不揮発性フラグセルは選択トランジスタ31と浮遊ゲート型セルトランジスタ32を直列接続したセル構造を有し、MOSトランジスタ32の制御ゲートは共通ゲートとして一括して接続されており、書き込み及び読み出しの時にこの共通ゲートは“H”になる。セルトランジスタ32のソースは共通ソース線として一括して接続されており、消去時はこの共通ソース線が高電位に、それ以外の際は接地電位に固定される。セルトランジスタ32のドレインは選択トランジスタ31を介して共通出力線OLに接続され、共通接続線OLは図示しない読み出し回路及び書き込み回路に接続されている。選択トランジスタ31の制御ゲートはプリデコーダ33の出力がインバータ35を介して接続されている。また、プリデコーダ33の出力はレベルシフト回路34を介してメモリセルアレイ1の各ワード線WLに接続されている。この構成では、リフレッシュブロックRB毎にフラグセルFCを有する際に、デコーダを共用する事が可能となり、チップ面積の削減にも寄与する。

【0040】続いて、第2の実施例として消去ブロックとリフレッシュブロックとを一致させない例を示す。消去ブロックの個数とリフレッシュブロックの個数は必ずしも一致させる必要はない。リフレッシュブロックの個数を減らすと、1ブロックに含まれる不揮発性メモリセルの個数が増加し、一回のリフレッシュにかかる時間が増加するが、リフレッシュサイクルの回数を減らすことができる。このため、フラグセルの個数を減らすことが可能となる。図13は2個の一括消去ブロックでリフレッシュブロックRBを構成した例である。このようにすると、フラグセルの個数は512個となり、UARは9ビット、LARは10ビットとなる。

【0041】図14は、ワード線一本単位でリフレッシュブロック及び一括消去ブロックを構成した第3の実施例である。このばあい、フラグセルの個数は2048となり、UARは11ビット、LARは8ビットとなる。

【0042】図15は、ワード線一本単位でリフレッシュブロックを構成し、ワード線2本単位で一括消去ブロックを構成した第4の実施例である。この場合、フラグセルの個数は2048、UARは11ビット、LARは8ビットとなる。

【0043】第2、第3及び第4の実施例でも第1の実施例と同様に、リフレッシュカウンタを不揮発性メモリで構成したときの問題点である、書き込み/消去の集中が起らなくなる。

【0044】図16には、第5の実施例として本発明のメモリシステムの構成図を示してある。すなわち、4Mビットのメモリセルアレイ1と、フラグセルアレイ2

と、アドレスバッファ3と、リフレッシュ制御回路4と、8ビットラッチ回路5とアドレスレジスタARと、データバス91と、アドレスバス92とからなる。メモリセルアレイ1は1024個の一括消去ブロックEBからなり、19ビットのアドレスMAのうち上位10ビットで一括消去ブロックのうちのひとつが選択され、下位9ビットで一括消去ブロック内のメモリセルのうち8個が選択される。また、1024個のリフレッシュブロックに区分されており、この実施例ではリフレッシュブロックと一括消去ブロックは一致している。すなわち、19ビットのアドレスMAのうち上位10ビットで一括消去ブロックのうちのひとつが選択される。フラグセルアレイ2は内部に1024ビットの不揮発性フラグセルを有し各々のフラグセルは順序づけされており、一括消去ブロックに対応する。アドレスバッファ3は外部から入力された19ビットのアドレスをラッチし、内部アドレスとしてアドレスMAを生成する。リフレッシュ制御回路4は第1の実施例で示したような動作を行う。ラッチ回路5はリフレッシュ時に、リフレッシュ制御回路4の制御の下でメモリセルアレイ1内のメモリセルのデータを読み出し、一時的に格納する。アドレスレジスタARはリフレッシュ動作を行う際に用いるアドレスを一時的に格納するレジスタである。

【0045】リフレッシュ制御回路4は、フラグセルアレイに記憶されたデータを1番目から順に読み出し、最初に消去状態であるフラグセルに到達したら当該フラグセルが書き込み状態をとるよう書き込み動作を行うとともに当該フラグセルに対応するリフレッシュブロックの不揮発性メモリセルに対し読み出したデータと同じデータを書き込むリフレッシュ動作を行い、フラグセルアレイに記憶されたデータを1番目から順に読み出した結果、フラグセル最後のフラグセルに到達した場合には全てのフラグセルが消去状態をとるよう消去動作を行う。この結果、1024回のリフレッシュに対してフラグセルの消去は一回で済む。従って、フラグセルの消去回数は平均的な消去ブロックの消去回数とほぼ一致し、リフレッシュカウンタを不揮発性メモリで構成したときの問題点である、書き込み/消去の集中が起こらなくなる。

【0046】本実施例はシステムであるため、複数チップにわけて構成しても良いし、1、2を同一のメモリチップで、すなわちフラグセルアレイ2は一括消去ブロックEBの一つ(例えばEB1025)として構成しても良い。また、リフレッシュ制御回路4はマイクロコンピュータなどで構成しても良い。

【0047】以上、第1ないし第5の実施例としてドレインディスタブ耐性のマージンが大きな不揮発性半導体記憶装置およびこの記憶装置を用いた半導体記憶システムを述べた。このとき、セル容量は常に4Mビットと仮定したが、これに限る必要は全く無く、さらにワンチ

ップで構成する必要もない。つまり容量はどんなに大きくても小さくてもよく、複数チップにわたる半導体記憶システムで本発明を用いても良い。

【0048】また、実施例では、M個のリフレッシュブロックに対応してM個(同数)のフラグセルを用いたが、これに限る必要はなく、M-1個以上ならばよい。M-1個のフラグセルの場合は、最後のリフレッシュブロックに対応するフラグセルが存在しなくなるが、これは、全てのフラグセルが“0”セルとなったことをもって検出できる。また、M+1以上のフラグセルを有する場合には余ったフラグセルを冗長セルとして、もしくは予備セルとして用いることができる。

【0049】

【発明の効果】以上説明したように、本発明を用いるとドレインディスタブ耐性のマージンが向上し、プログラム効率及び消去の高速化が図れる。また、フラグセルを不揮発性記憶としたことにより電源を切っても次にリフレッシュを行う番地を記憶しておくことが出来、さらに、各リフレッシュブロックに対応させて設けることによりフラグセルアレイに対する書き込み/消去の集中も起こらなくなる。

【図面の簡単な説明】

【図1】リフレッシュ動作を示すフローチャート。

【図2】複数の一括消去ブロックに区分されたメモリセルアレイを示す図。

【図3】本発明に用いる不揮発性メモリセルの断面図。

【図4】図3のメモリセルの動作電圧条件をまとめて示す図。

【図5】メモリセルアレイの詳細な回路図。

【図6】リフレッシュを用いた場合を従来例と比較した図。

【図7】本発明の第1の実施例の構成を示す回路図。

【図8】本発明の第1の実施例の一部の構成を示す回路図。

【図9】リフレッシュ制御回路4の動作説明図。

【図10】第1の実施例の変形例の構成を示す回路図。

【図11】第1の実施例の更に別の変形例の構成を示す回路図。

【図12】第1の実施例の更に別の変形例の構成を示す回路図。

【図13】第2の実施例の構成を示す回路図。

【図14】第3の実施例の構成を示す回路図。

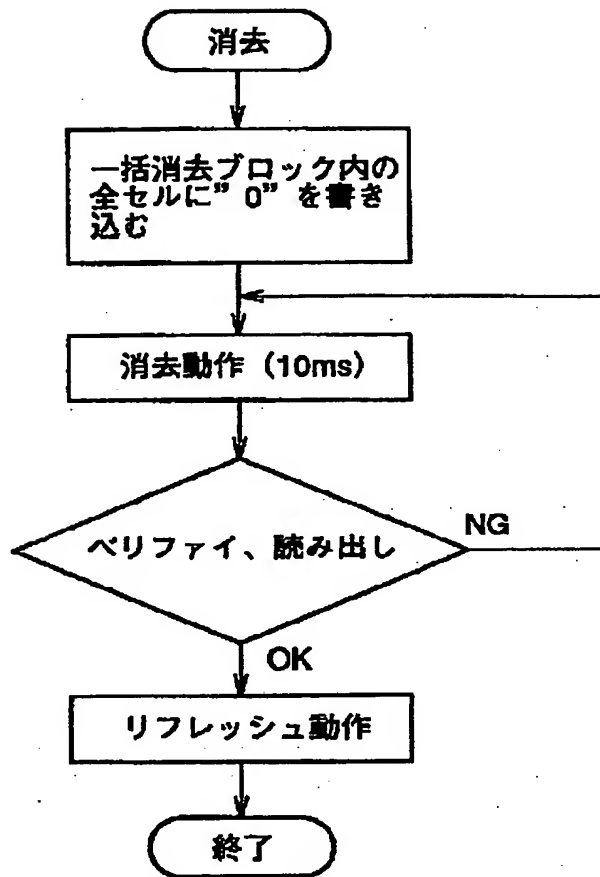
【図15】第4の実施例の構成を示す回路図。

【図16】第5の実施例の構成を示す回路図。

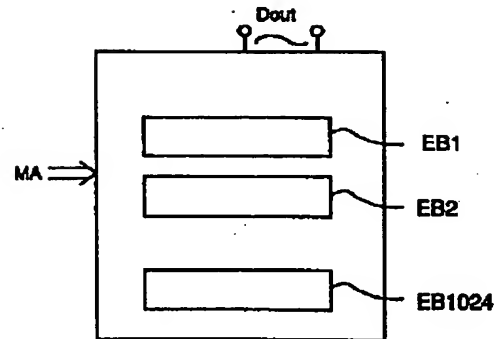
【符号の説明】

1…メモリセルアレイ、2…フラグセルアレイ、3…アドレスバッファ、4…リフレッシュ制御回路、5…ラッチ回路、AR…アドレスレジスタ、EB…一括消去ブロック。

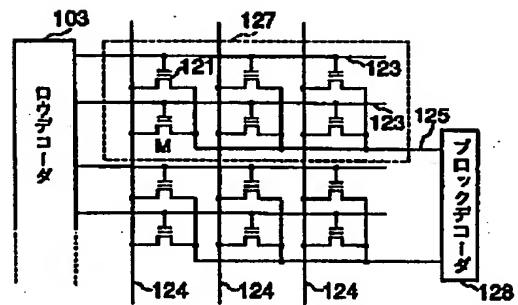
【図1】



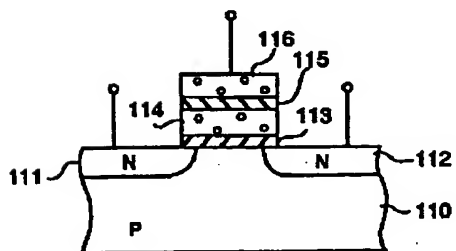
【図2】



【図5】



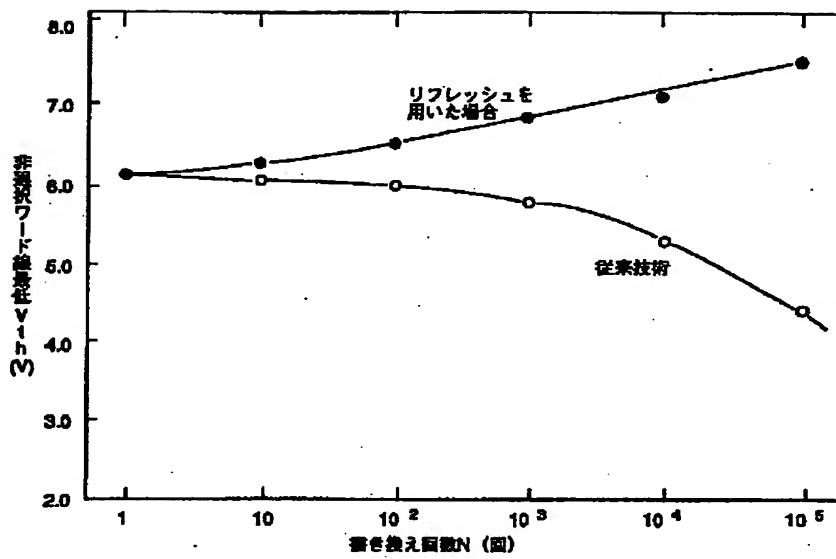
【図3】



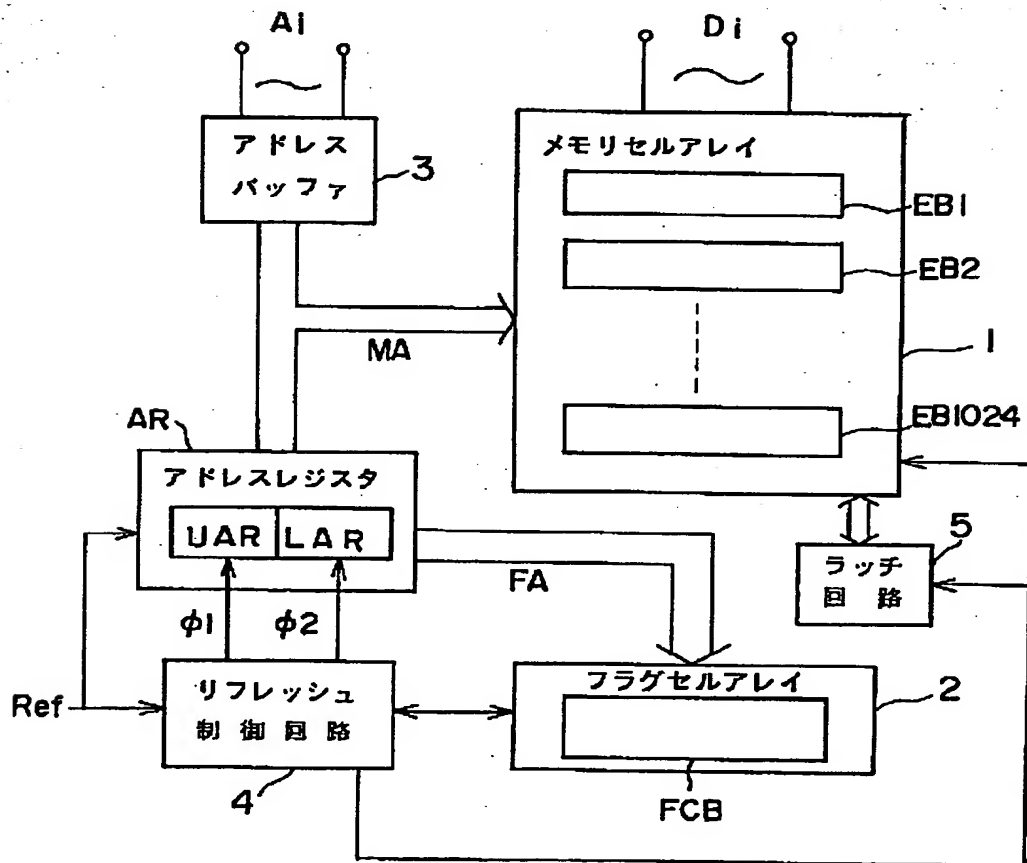
【図4】

	書き込み	消去	読み出し
コントロールゲート	10V	-10V	5V
ドレイン	5V	open	1V
ソース	0V	5V	0V

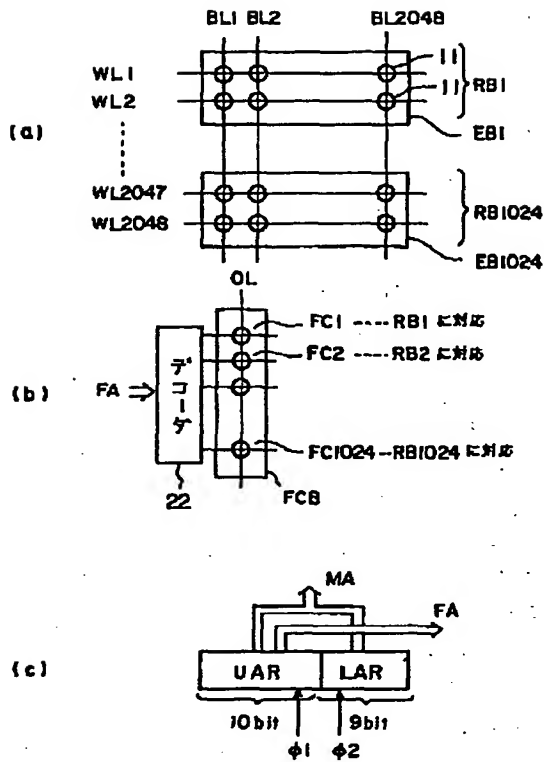
【図6】



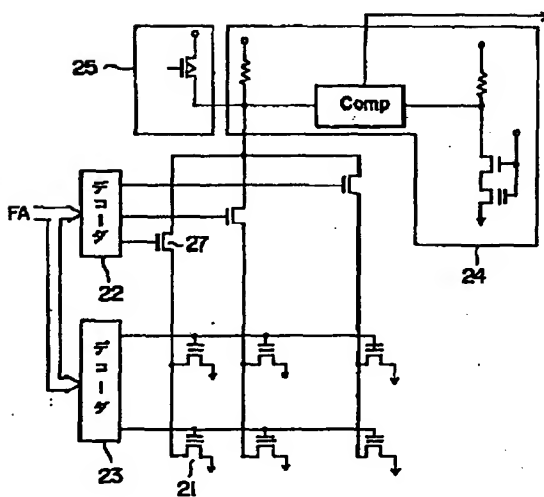
【図7】



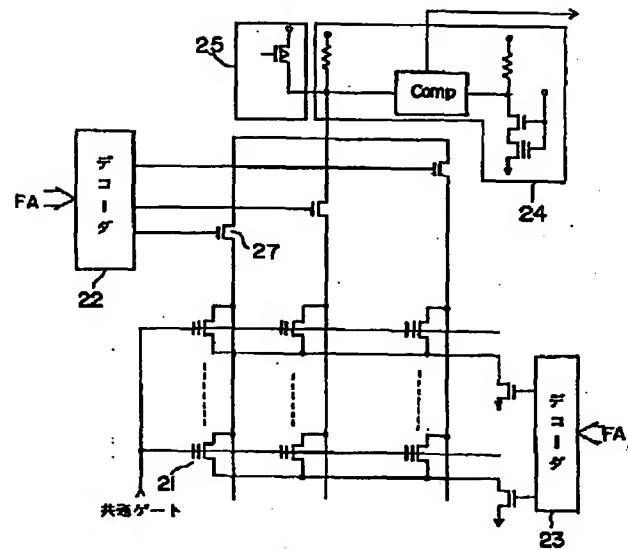
【図8】



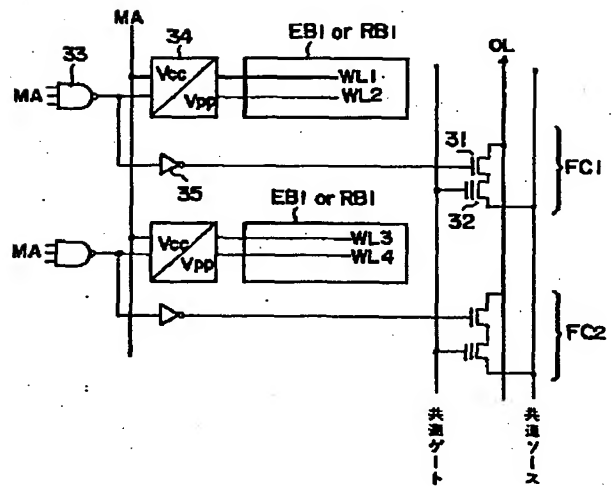
【図11】



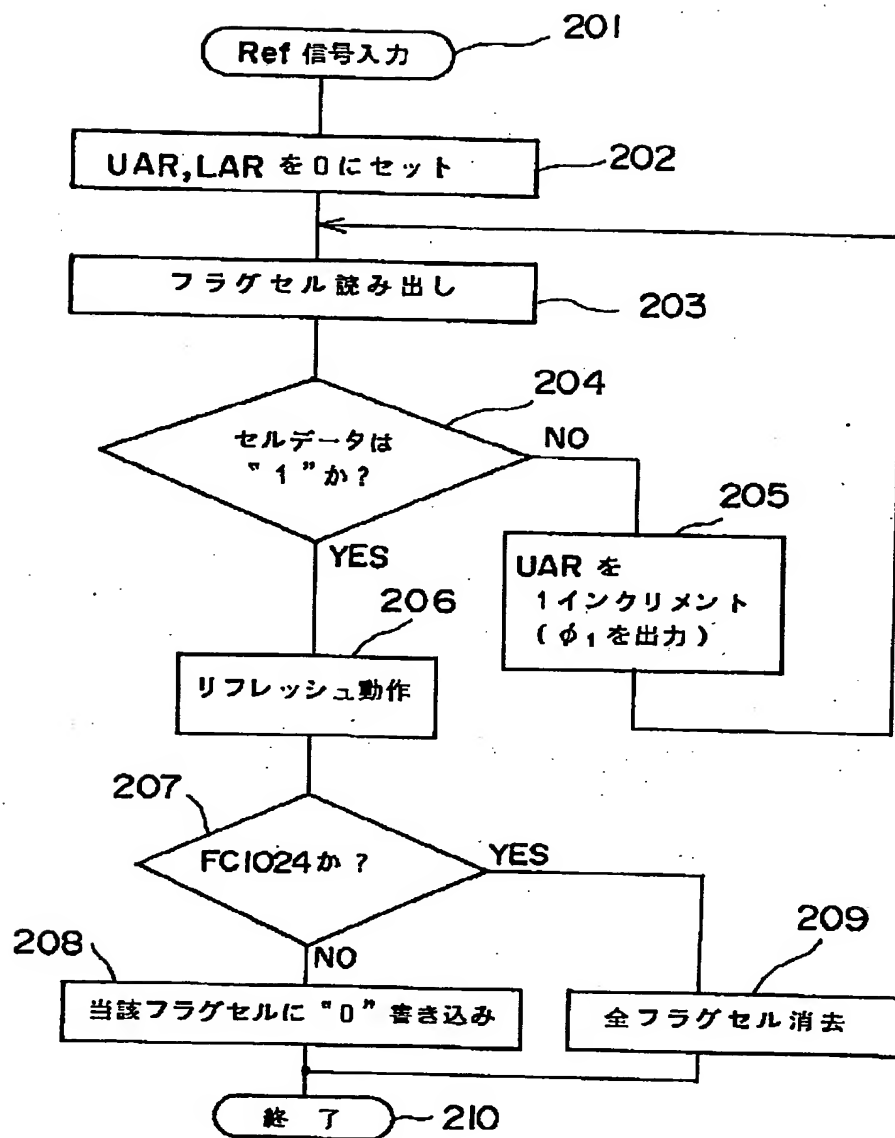
【図10】



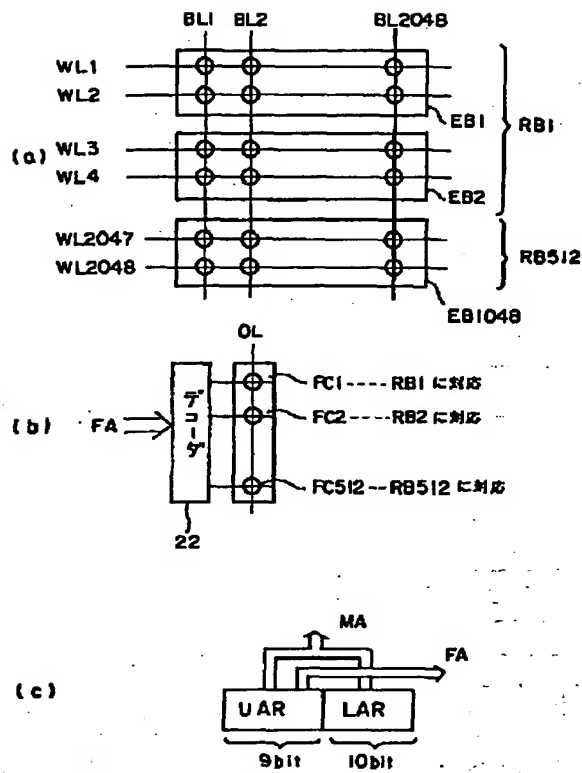
【図12】



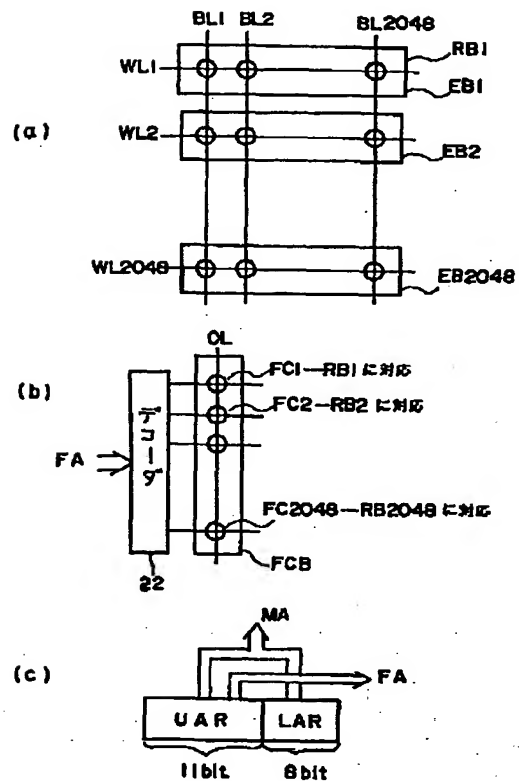
【図9】



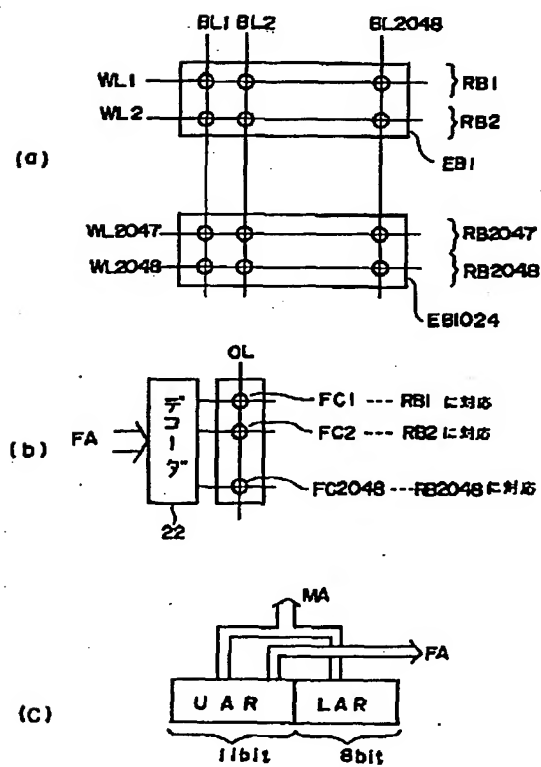
【図13】



【図14】



【図15】



【図16】

